

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-250731

(43)公開日 平成8年(1996)9月27日

(51)Int.Cl ⁶ H 01 L 29/78	識別記号 9055-4M 9056-4M	序内整理番号 P I H 01 L 29/78	技術表示箇所 652H 653C
---	----------------------------	-------------------------------	------------------------

審査請求 未請求 請求項の数64 FD (全 19 回)

(21)出願番号 特願平7-351596
 (22)出願日 平成7年(1995)12月26日
 (31)優先権主張番号 08/367, 516
 (32)優先日 1994年12月30日
 (33)優先権主張国 米国(US)

(71)出願人 591077450
 シリコニックス・インコーポレイテッド
 SILICONIX INCORPORATED
 アメリカ合衆国カリフォルニア州95054・
 サンタクララ・ローレルウッドロード
 2201
 (72)発明者 モハメド・エヌ・ダーウィッシュ
 アメリカ合衆国カリフォルニア州95070・
 サラトガ・アバディーンコート 12891
 (74)代理人 弁理士 大島陽一(外1名)

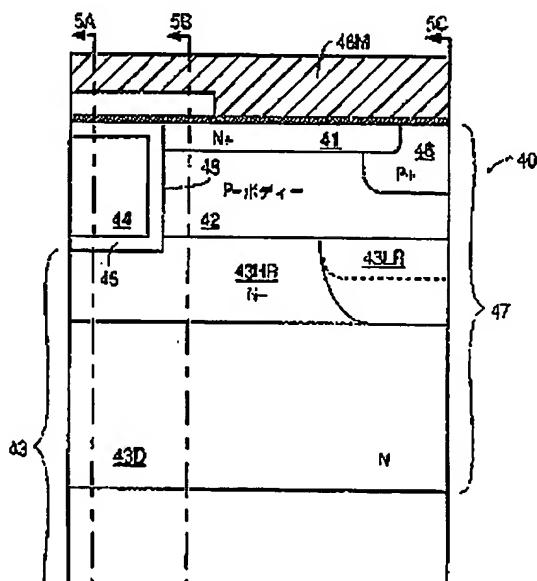
最終頁に続く

(54)【発明の名称】高いブレークダウン電圧と低いオン抵抗を兼ね備えたトレンチ型MOSFET

(57)【要約】

【課題】ブレークダウン電圧を高く維持したまま、低いオン抵抗を実現するバーチカルトレンチ型MOSFETを提供する。

【解決手段】トレンチ内に形成されたゲートを有する、スイッチングMOSFETが、前記トレンチに隣接する比較的高い抵抗率の領域と、トレンチから離れたところに設けられる比較的低抵抗率の領域とを有するドレインを有する。ドレインは、MOSFETセルの中央領域における抵抗率よりも更に低い抵抗率を有するデルタ層も含む。高い抵抗率の領域によって、トレンチのエッジ部分(特にコーナー部分)における電界強度が制限され、ゲート酸化層が損なわれることが回避される。中央部のデルタ層によって、ブレークダウンの発生がゲート酸化層から離れたMOSFETセルの中央部近傍に集中するようされ、かつオン状態のときにMOSFETの抵抗率を下げる効果が得られる。



(2)

特開平8-250731

1

【特許請求の範囲】

【請求項1】 トレンチとその中に配置されたゲートとを有する半導体メンバと。

前記半導体メンバに於て前記トレンチに隣接して配置された第1導電型のソース領域と、

前記半導体メンバに於て前記ソース領域に隣接して配置された第2導電型のボディ領域と、

前記半導体メンバに於て前記ボディ領域に隣接して配置された前記第1導電型のドレイン領域とを有するMOSFETであって、

前記ドレイン領域が、

深いドープをなされた領域と、

前記浅いドープをなされた領域の上層をなし、かつ隣接するように配置され、前記浅いドープをなされた領域に於ける前記第1導電型のドーパント濃度よりも低い前記第1導電型のドーパント濃度を有するドリフト領域と、前記トレンチの底部に隣接して設けられた高い抵抗率との領域とを有し。

前記高い抵抗率の領域が前記ドリフト領域に於ける前記第1導電型のドーパント濃度よりも低い前記第1ドーパント濃度を有することを特徴とするMOSFET。

【請求項2】 前記高い抵抗率の領域が前記トレンチの側壁の一部に接触するように設けられることを特徴とする請求項1に記載のMOSFET。

【請求項3】 前記MOSFETが少なくともその2つの面を前記ゲートによって囲まれたセルを有することを特徴とする請求項1に記載のMOSFET。

【請求項4】 前記トレンチから横向きに隔てられ、かつ前記セルの中央領域に於て前記ボディ領域の下層をなすように配置されたデルタ層を更に有し、前記デルタ層が、前記高い抵抗率の領域に於ける前記第1導電型の前記ドーパント濃度よりも高い前記第1導電型のドーパント濃度を有することを特徴とする請求項3に記載のMOSFET。

【請求項5】 前記トレンチから横向きに隔てられ、かつ前記セルの中央領域に於て前記ボディ領域の下層をなすように配置されたデルタ層を更に有し、前記デルタ層が、前記高い抵抗率の領域に於ける抵抗率よりも低い抵抗率を有することを特徴とする請求項3に記載のMOSFET。

【請求項6】 前記デルタ層が、前記ドリフト領域、前記ボディ領域、及び前記高い抵抗率の領域によって取り囲まれることを特徴とする請求項4に記載のMOSFET。

【請求項7】 前記デルタ層が、前記ボディ領域及び高い抵抗率の領域によって取り囲まれることを特徴とする請求項4に記載のMOSFET。

2

前記デルタ層が、前記高い抵抗率の領域に於ける前記第1導電型の前記ドーパント濃度よりも大きい前記第1導電型のドーパント濃度を有することを特徴とする請求項3に記載のMOSFET。

【請求項9】 前記高い抵抗率の領域及び前記ドリフト領域が、エピタキシャル層の中に形成されることを特徴とする請求項1に記載のMOSFET。

【請求項10】 前記エピタキシャル層が、基板の表面上に形成されることを特徴とする請求項9に記載のMOSFET。

【請求項11】 前記高い抵抗率の領域が、前記トレンチのコーナー部分に接触するように設けられることを特徴とする請求項1に記載のMOSFET。

【請求項12】 前記デルタ層が、前記トレンチの底部よりも低い位置まで延在することを特徴とする請求項4に記載のMOSFET。

【請求項13】 前記ボディ領域が、前記デルタ層の上側境界部分に接触するように設けられる深い中央部の深いドープをなされた領域を有することを特徴とする請求項4に記載のMOSFET。

【請求項14】 前記ボディ領域が、深い中央部分の深いドープをなされた領域を有することを特徴とする請求項8に記載のMOSFET。

【請求項15】 前記深い中央部分の深いドープをなされた領域が、前記アルタ装置の上側境界部分に接触するように設けられることを特徴とする請求項14に記載のMOSFET。

【請求項16】 前記深い中央部分の深いドープをなされた領域が、前記デルタ層から隔てられて設けられることを特徴とする請求項14に記載のMOSFET。

【請求項17】 前記セルが、多角形の格子形状のゲートによって外囲される形で設けられることを特徴とする請求項3に記載のMOSFET。

【請求項18】 前記セルが、平行なストライプ形状トレンチ型ゲートの間に形成されることを特徴とする請求項3に記載のMOSFET。

【請求項19】 前記浅いドープをなされた領域が、第2導電型の下側領域の上層をなすことを特徴とする請求項1記載のMOSFET。

40 【請求項20】 前記第1導電型のシンカー領域を有し、前記シンカー領域が、前記浅いドープをなされた領域と前記基板の表面との間に延在することを特徴とする請求項19に記載のMOSFET。

【請求項21】 デルタ層を更に有し、前記デルタ層が、前記高い抵抗率の領域に於ける前記ドーパント濃度よりも高い前記第1導電型のドーパント濃度

(3)

特開平8-250731

4

し。

前記デルタ層がこの時前記ウエハを横切って延在することを特徴とする請求項8に記載のMOSFET。

【請求項23】 前記デルタ層の間にゲートトレンチのパターンが挿まれる形で設けられることを特徴とする請求項22に記載のMOSFET。

【請求項24】 半導体材料におけるMOSFETの製造方法であつて、
基板を設ける過程と、

エピタキシャル層を成長させる過程と。

前記エピタキシャル層が成長させられている間の時間の少なくとも一部の時間、前記エピタキシャル層に第1導電型のドーパントを導入する過程と。

高い抵抗率の領域を訂正するために前記エピタキシャル層に導入される前記第1導電型の前記ドーパントを薄くする過程と、

前記半導体材料にトレンチをエッティングする過程と、
前記トレンチ内に絶縁されたゲートを形成する過程と、
ボディ領域を形成するために、前記半導体材料に第2導電型のドーパントを導入する過程と。

ソース領域を形成するために、前記半導体材料に前記第1導電型のドーパントを導入する過程とを有することを特徴とするMOSFETの製造方法。

【請求項25】 前記第1導電型の前記ドーパントの濃度を薄くする過程が、前記第1導電型の前記ドーパントの濃度を第1濃度から第2濃度へ急激に低下させる過程を含むことを特徴とする請求項24に記載の方法。

【請求項26】 前記第1導電型の前記ドーパントの濃度を薄くする過程が、前記第1導電型の前記ドーパントの濃度を徐々にかつ卓調に低下させる過程を含むことを特徴とする請求項24に記載の方法。

【請求項27】 前記トレンチをエッティングする過程が、前記ボディー領域を形成するべく前記第2導電型のドーパントを導入する過程より前に実施されることを特徴とする請求項24に記載の方法。

【請求項28】 前記トレンチをエッティングする過程が、前記ボディー領域を形成するべく前記第2導電型のドーパントを導入する過程より後に実施されることを特徴とする請求項24に記載の方法。

【請求項29】 前記トレンチをエッティングする過程が、MOSFETセルを形成するために前記トレンチをエッティングする過程を含むことを特徴とする請求項24に記載の方法。

【請求項30】 前記MOSFETセルが、平行なストライブ形状に設けられたトレンチの間に形成されることを特徴とする請求項29に記載の方法。

【請求項31】 前記MOSFETセルが、多角形の

記MOSFETセルの中央部近傍に前記第2導電型の前記ドーパントを導入する過程を更に有することを特徴とする請求項29に記載の方法。

【請求項32】 前記中央部の拡散領域が、前記トレンチの底部より下の位置まで延在することを特徴とする請求項31に記載の方法。

【請求項33】 前記トレンチの側壁に配置されたデルタ層を形成するために、前記第1導電型のドーパントを導入する過程を更に有し、

前記デルタ層が、前記高い抵抗率の領域における前記第1導電型の前記ドーパント濃度を有することを特徴とする請求項24に記載の方法。

【請求項34】 前記デルタ層が、前記半導体材料に前記第1導電型の前記ドーパントを注入することによって形成されることを特徴とする請求項31に記載の方法。

【請求項35】 前記デルタ層が、前記エピタキシャル層の成長過程において、前記第1導電型の前記ドーパントを導入することによって形成されることを特徴とする請求項31に記載の方法。

【請求項36】 前記デルタ層が、前記エピタキシャル層の成長過程において、前記第1導電型の前記ドーパントを導入することによって形成されることを特徴とする請求項31に記載の方法。

【請求項37】 前記デルタ層が、前記トレンチの側壁に至るまで備向きに延在することを特徴とする請求項31に記載の方法。

【請求項38】 前記トレンチの側壁に至るまで延在することとのないように前記デルタ層を形成すべく、前記第1導電型の前記ドーパントを導入する前にマスクを形成する過程を更に有することを特徴とする請求項35に記載の方法。

【請求項39】 前記マスクが、前記半導体材料の表面においてコンタクト領域を開けるにも用いられるることを特徴とする請求項38に記載の方法。

【請求項40】 前記第1導電型の前記ドーパントの濃度を薄くする過程が、前記第1導電型の前記ドーパントの濃度を第1濃度から第2濃度へ急激に低下させる過程を含むことを特徴とする請求項38に記載の方法。

【請求項41】 前記トレンチをエッティングする過程が、MOSFETセルを形成するために前記トレンチをエッティングする過程を含むことを特徴とする請求項38に記載の方法。

【請求項42】 中央拡散領域を形成するために、前記MOSFETセルの中央部近傍に前記第2導電型の前記ドーパントを導入する過程を更に有することを特徴とする請求項41に記載の方法。

【請求項43】 前記中央部の拡散領域が、前記マスクを追して形成されることを特徴とする請求項42に記載の方法。

【請求項44】 前記マスクが、前記半導体材料の表

(4)

特開平8-250731

5

前記基板上に形成されたトレンチであって、前記基板から絶縁されたゲートが前記トレンチの中に配置される、該トレンチと。

前記基板の上側表面と前記トレンチの側壁に隣接するよう配置された第1導電型のソース領域と、

前記ソース領域と前記側壁とに隣接して配置された第2導電型のボディー領域と、

前記トレンチの底部に隣接し、かつ前記ボディー領域の下側に配置された前記第1導電型の多重抵抗率式ドレイン領域とを有し、

前記多重抵抗率式ドレイン領域が、
比較的低い抵抗率の第1領域と、

前記第1領域よりも大きい抵抗率を有し、一般に前記第1領域の上側に隣接して配置される第2領域と、

前記第2領域よりも大きい抵抗率を有し、前記第2領域の上側に配置され、かつ前記トレンチの底部に接触するよう設けられる第三領域とを有することを特徴とするトレンチ型MOSFET。

【請求項46】 前記第1領域が概ね $3.0\Omega \text{-- cm}$ の抵抗率を有するとを特徴とする請求項45に記載のMOSFET。

【請求項47】 前記第2領域が $5 \times 10^{11} \sim 5 \times 10^{10}\text{cm}^{-2}$ のドーパント濃度を有することを特徴とする請求項45に記載のMOSFET。

【請求項48】 前記第2領域が概ね $6 \times 10^{13}\text{cm}^{-2}$ のドーパント濃度を有することを特徴とする請求項47に記載のMOSFET。

【請求項49】 前記第2領域が概ね $0.8\Omega \text{-- cm}$ の抵抗率を有することを特徴とする請求項47に記載のMOSFET。

【請求項50】 前記第3領域が $3 \times 10^{11} \sim 3 \times 10^{10}\text{cm}^{-2}$ のドーパント濃度を有することを特徴とする請求項45に記載のMOSFET。

【請求項51】 前記第3領域が概ね $3 \times 10^{13}\text{cm}^{-2}$ のドーパント濃度を有することを特徴とする請求項50に記載のMOSFET。

【請求項52】 前記第3領域が概ね $1.5\Omega \text{-- cm}$ の抵抗率を有することを特徴とする請求項50に記載のMOSFET。

【請求項53】 前記ソース領域と前記ドレイン領域との間に電位差が存在し、前記MOSFETがターンオフ状態にある場合に電界が最大値に達する前記トレンチの境界部分の1点に接触するように、前記第3領域が設け

前記第4領域が前記第2領域及び前記第3領域よりも低い抵抗率を有することを特徴とする請求項45に記載のMOSFET。

【請求項55】 前記第4領域が、概ね $3 \times 10^{13}\text{cm}^{-2}$ のドーパント濃度を有することを特徴とする請求項54に記載のMOSFET。

【請求項56】 前記第4領域の横方向の境界部分が、前記トレンチの側壁から隔てられていることを特徴とする請求項54に記載のMOSFET。

10 【請求項57】 前記第4領域が、前記トレンチの側壁に至るまで横向きに延在することを特徴とする請求項54に記載のMOSFET。

【請求項58】 前記第4領域の上側境界部分が、前記ボディー領域の下側境界部分と接触するように設けられることを特徴とする請求項54に記載のMOSFET。

【請求項59】 前記第4領域の下側境界部分が、前記第2領域の上側境界部分に接触するように設けられることを特徴とする請求項54に記載のMOSFET。

20 【請求項60】 前記第4領域の下側境界部分が前記第2領域の上側境界部分から隔てられるように設けられることを特徴とする請求項54に記載のMOSFET。

【請求項61】 前記ボディー領域が、第2の濃いドープをなされた領域を有することを特徴とする請求項54に記載のMOSFET。

【請求項62】 前記第2の濃いドープをなされた領域が、前記第4領域の上側境界部分に接触するように設けられることを特徴とする請求項61に記載のMOSFET。

30 【請求項63】 前記第2の濃いドープをなされた領域が、前記第4領域の上側境界部分から隔てられるように設けられることを特徴とする請求項61に記載のMOSFET。

【請求項64】 前記高い抵抗率の領域が、前記ボディー領域とPN接合を形成し、前記PN接合の少なくとも一部が、前記半導体材料の上側表面と平行な方向に向けられることを特徴とする請求項1に記載のMOSFET。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トレンチの中に形成されたゲートを有する電流スイッチングMOSFETに関して、特に ターンオン時の抵抗率が低いトレンチ型

(5)

特開平8-250731

7

応用分野に於て広く使用されている。一般に、これらのデバイスはスイッチとして機能し、電源を負荷に接続するためには用いられる。スイッチがオン状態にあるときには、デバイスの抵抗はできる限り低く抑えることが重要である。抵抗が高いと、電力が無駄に消費され、かつ過剰な熱が生成されることになる。

【0003】現在使用されているパワーMOSFETの普通のタイプのものは図1に断面が示されているようだ。プレナー型のDMOSデバイスである。電流はソース領域112からP-ボディ領域114の内部に形成されたチャネル領域を通過してN-エピタキシャル層116に流れれる。チャネル領域に於ける電流はゲート108によって制御される。電流はチャネル領域を流れた後、N-エピタキシャル層116を通して基板20に流れれるが、この基板20はデバイスのドレインを形成する。寄生の接合部電界効果トランジスタ(JFET)は、N-エピタキシャル層116の介入領域の一方の側にP-ボディ領域114が存在することによって形成される。P-ボディ領域114とN-エピタキシャル層116との接合部近傍の空乏層22は電流絶路を押しつぶして電流を妨げ、これによってこの領域に於ける抵抗値を上昇させる。電流がN-エピタキシャル層116を通して下方向に進行するにつれ、電流経路は横に拡がって抵抗は低減する。

【0004】バーチカル電流デバイスの別の形態に於ては、ゲートは「トレンチ」の中に形成される。このようなデバイスはMOSFETの1つのセル100の断面図である図2、及びそのセルの底面図である図3に於て示されている。ゲート102及び104はトレンチの中に形成され、ゲート酸化層106及び108によってそれぞれ外囲されている。トレンチゲートは(図3にその一部が示されているように)、正多角形のアレイのような格子パターンの中に形成されていることが多い。この各格子は1つの相互接続ゲートとなる(ゲート102及び104も同様である)。トレンチゲートは、一連の平行なストライプ形状として形成されることもある。

【0005】MOSFET100は、N-エピタキシャル層110に形成された二重拡散デバイスである。N+ソース領域にはエピタキシャル層110の表面に形成され、これはP+コンタクト領域114も同様である。P-ボディ領域116はN+ソース領域112及びP+コンタクト領域114の下に配置される。金属ソースコンタクト118はソース領域112と接触し、かつソース領域112をP+コンタクト領域114及びP-ボディ

形成することによって形成される。ゲートは焼若しくはホウ素でドープされたポリシリコン製であるのが一般的である。

【0007】N-エピタキシャル層110の基板120とP-ボディ116との間の領域111は、一般に基板120よりも薄くN型不純物のドープを成される。これによってMOSFET100の高電圧に対する耐性が増加する。領域111は「薄いドープをなされた領域」若しくは「ドリフト領域」とよばれることもある。(ドリフトとは電界に於けるキャリアの移動を指す。) ドリフト領域111及び基板120はMOSFET100のドレインを構成する。

【0008】MOSFETはN-チャネルMOSFETである。正の電圧がゲート102に印加されると、ゲート酸化層106に隣接するP-ボディ領域116の内部のチャネル領域が反転し、ソース領域112と基板120との間に電位差がある場合には、電子がソース領域がチャネル領域を通過してドリフト領域111に流れれる。ドリフト領域111に於ては、一定の角度で対角方向に広がって流れれる電子があり、この電子は基板120に衝突した後、更に垂直方向にドレインに向かって流れれる。他の電流はドリフト領域111を通してまっすぐに流れ、電流の一部はゲート102の下側を流れ、ドリフト領域111を通して下向きに流れれる。

【0009】ゲート102は導電性材料でドープされる。MOSFET100はN-チャネルMOSFETなので、ゲート102には焼若くドープされたポリシリコンが用いられる。ゲート102は、ゲート酸化層106によってMOSFET100の他の部分から絶縁される。ゲート酸化層106の厚みはMOSFET100の閾値電圧を設定するべく選択され、また、これはMOSFET100のブレイクダウン電圧にも影響を与える。

MOSFET100のようなパワーMOSFETのブレイクダウン電圧は200Vよりも低く、60V前後であることが一般的である。

【0010】トレンチ型のMOSFETを魅力的なものにしている特徴のひとつは、上記のように電流がMOSFETのチャネルを通して垂直に流れれる点である。これによって、図1に示すプレナDMOSデバイスのような、電流がチャネルを水平に流れドレインを通して垂直に流れれるMOSFETよりも、高いパッキング密度が得られる。セル密度がより高いものになることは、基板の電位面適当たりのデバイス数が増えることと一緒にには意

(5)

特開平8-250731

10

9

バイスのターンオン特性を、動作毎にP+コンタクト領域114のアライメントに応じて変化させることができることになる。しかし、P+領域114を浅くすると、デバイスはターンオフ時に比較的に低い電圧（例えば10V）にしか耐えられなくなる。これは、P-ボディ領域116とドリフト領域111の接合部の周りに広がる空乏層がトレンチのコーナー部分（例えば図2に示すコーナー122）十分にプロテクトしないからである。この結果、トレンチの近傍に於てなだれ降服が発生しゲート酸化層106を損ない得るキャリアの発生率が高くなり、最悪の場合には、ゲート酸化層106が破壊されることにもなる。従って、図3に示すMOSFETが低電圧デバイスとしては最良のものであるといえる。

【0012】図4に示すのは、更に変形を加えたMOSFET100であり、ここではP+ボディコンタクト領域114がP-ボディ領域116の下側接合部のすぐ上まで伸びている。この領域に於けるPイオン濃度を高めることによって、空乏領域の大きさが増加し、これによって、トレンチのコーナー部分122の回りに追加的なシールドが与えられることになる。しかし、デバイスがブレイクダウン状態にされる場合に於ては、ゲート酸化層106の近傍に於てキャリアが発生し易くなり、ゲート酸化層が損なわれることになりうる。

【0013】図5～図7に示すような構成に於ては、ブレイクダウンに関する特性が著しく改善される。このような構成は、Bulucea等に付与された米国特許第5,072,266号明細書に記載されている。MOSFET300に於ては、P+領域114がトレンチの底部より更に低いところまで伸び、セルの中央部に深く、深いドープをなされたP領域を形成する。これによってコーナー部分122に於て追加的なシールドがなされる一方、キャリアの発生は、P+領域114の下側端部302に比較的集中するようになるという利点が生ずる。これは、端部302の下側で電界が強められ、これによってゲート酸化層106に隣接した場所でなく、前記の場所若しくは接合部の湾曲に沿った部分に於てキャリアが発生するためである。ゲート酸化層106に掛かる負担が低減し、高電圧下で使用した場合のMOSFET300の信頼性が改善される。これは、たとえデバイスの接合部に於ける実際のブレイクダウン電圧が低減してしまう場合であってもいえることである。

【0014】図6に示すのは、図5に示すセルの左半分の断面図であって、隣接するセルの一部も示されてい

とホウ素イオンがチャネル領域に導入されてしまうため、セル密度の上昇に制限を加える点である。上記のように、これによってMOSFETの閾値電圧が高くなる傾向がある。第2に、P+領域114が存在することによって、エミッタの流れがチャネルから流れてドリフト領域111にいるときにエミッタの流れに対するビンディング抵抗が生じる傾向がある点である。（例えば図2に示すような）深いP+領域を含まない実施例に於いては、電流経路はドリフト領域111に達したとき並がる。このように電流が広がって流れることによって、Nエピタキシャル層110に於ける単位面積当たりの平均電流が低下し、MOSFETのオン抵抗も減ることになる。従って、深い中央P+領域が存在すると電流経路の並がりが制限され、オン抵抗が高くなる。

【0016】

【発明が解決しようとする課題】従って、本発明の目的は、深いP+領域による改善されたブレイクダウンに関する特性と、低いオン抵抗とを兼ね備えたバーチカルトレンチ型MOSFETを提供することである。

【0017】

【課題を解決するための手段】本発明のトレンチ型MOSFETは、トレンチの中に形成されたゲートと、第1導電型のソース領域と、前記ソース領域の下に配置された第2導電型のボディ領域と、前記ボディ領域の下に配置された導電型のドレイン領域と、前記ドレイン領域の外部の「深いドープをなされた」領域若しくは「ドリフト」領域とを有し、前記ドリフト領域のドーパント濃度は前記ドレイン領域のドーパント濃度より一般的に低い。ドレイン領域は基板を有し、または「準バーチカル型」の実施例に於いては、ドレイン領域は、例えば「シンカー」領域を介して半導体材料の上側表面と接続される第1導電型の埋込層を有する。ドレイン領域はエピタキシャル層若しくは基板の中に形成される。

【0018】MOSFETがターンオン状態の時、電流はトレンチに隣接するボディ領域内部のチャネルを通して垂直方向に流れる。

【0019】本発明によればドリフト領域は抵抗率の異なる複数の領域を有する。比較的高い抵抗率の領域はトレンチの下側に隣接して設けられたドリフト領域の中に形成される。高い抵抗率の領域は第1導電型のイオンでドープされるが、この時のドーパント濃度は、ドリフト領域の他の部分の第1導電型のイオンの濃度よりも低い場合である。本発明のMOSFETには様々な配置の電

(7)

特開平8-250731

12

点を、取り囲む形とするべきである。

【0020】好適な実施例に於いては、ドリフト領域は「デルタ」層も有する。このデルタ層は高い抵抗率の領域に於ける第1導電型イオン濃度よりも高い第1導電型のイオン濃度でドープをなされるため、高い抵抗率の領域よりも低い抵抗率を有する。デルタ層はMOSFETセルの中央部分でトレンチから離れた位置に設けられるのが一般的であり、これはデルタ領域がトレンチに至るまで、若しくはトレンチよりも下の位置まで伸びているような実施例に於いても同様である。デルタ層は、それを取り囲むドレイン領域の抵抗率よりも高い抵抗率を有する。

【0021】トレンチに隣接する高い抵抗率の領域は、トレンチの境界部分、特に角張ったコーナー部分に沿った電界強度を制限し、これによってゲート酸化層の近傍で電圧のブレイクダウンが生ずるのを防ぐ効果を与える。「デルタ」層は、電圧のブレイクダウンの発生を、ゲート酸化層の表面でなく、MOSFETセルの中心部分の近傍に集中するようにさせる役割を果たしているのである。即ち、デルタ層によって電流経路の広がりが改善され、MOSFETのオン抵抗が低減されるのである。

【0022】このような技術によって、上記の第2導電型の深い中心部分の領域に於ける場合のように、セル密度の上昇を制限することなく、トレンチに於ける電界を低減することができる。更に、電流経路はトレンチの領域に於て密でないので、本発明のMOSFETのオン抵抗は中央部の深い拡散部分を有する実施例と比較して改善される。

【0023】これとは別に、セル密度があまり重複でない場合には、第2導電型の領域はMOSFETセルの中央部に形成され、トレンチのエッジ部分に於ける電界強度を制御するのを助ける形となる。第2導電型の中央部分の領域は全体で用いられることもあれば、デルタ層と共に用いられる場合もある。

【0024】ここで用いられた、「～より低い」、「～より高い位置の」、若しくは「指向きの」等の物理的な方向若しくは関係を特定する言葉は、トレンチがデバイスの上側表面に設けられた形となる図5、図7、及び図9のように示されたMOSFETを説明するために用いられている。これらの表現は、図面上での表示に関するものであって、実際のMOSFETの方向には関係がないということを想起されたい。

10

域4 1に隣接して形成され、領域4 1及び4 6は金属コントакト4 6 Mによってショートされている。

【0026】Nドレイン領域4 3は、この実施例においては4つの異なる領域を有する。それは基板4 3 S、「ドリフト」領域4 3 D、トレンチ4 8の一部に隣接して設けられた高い抵抗率の領域4 3 HR、及び中央「デルタ」層4 3 L Rである。中央デルタ層4 3 L Rは領域4 3 HRと比較して低い抵抗率を有する。

【0027】ここで用いられている「デルタ層」という言葉は、トレンチ型バーチカルMOSFETにおけるボディ領域の下層をなす層を意味しており、そのドーパント濃度はデルタ層のすぐ下の領域のドーパント濃度よりも高い。デルタ層の境界部分は、ドーパント濃度の低下が止まった位置（例えば、ドーパント濃度が一定になるか若しくは上昇し始める位置）、若しくはデルタ層がボディ領域と接触する位置にある。（デルタ層の形成に用いられるドーパントの中にはボディ領域まで浸透するものもあるが、このときボディ領域を形成するのに用いられるドーパントは重複した領域におけるデルタ層ドーパントを補償し逆ドープする。）デルタ層の下側境界面の位置は、トレンチの底部の上側若しくは下側にあり、セルの中央部における逆の導電型の領域の底部よりも高いか若しくは低い高さである。デルタ層の上側境界面は、ボディ領域の下側接合部と一致するか、若しくはボディ領域の下側接合部よりも下の位置となる。

【0028】ドリフト領域4 3 D及び全ての上層をなす半導体層はエピタキシャル層4 7の中に形成され、エピタキシャル層4 7は基板4 3 Sの上側表面上に形成される。トレンチ4 8もエピタキシャル層4 7の中に形成される。

【0029】他の実施例においては、ドリフト領域は基板の中に形成される。更に、トレンチ4 8が矩形の断面を有するが、トレンチの断面の形状はU型若しくはV型若しくは他の形状でもよい。

【0030】図9にはMOSFET 4 0のセルの半分の断面が示されている。従って、図の左側の端部は概ねゲート4 4の中央部となり、5C-5Cに沿った断面はセルの中央部となる。ゲート4 4は直線的な、六方晶形の、若しくは他の型の格子パターンに形成され（図6及び図7参照）。この場合「セル」はゲート4 4の一部分によって囲り全部を囲まれた領域を含むことになる。別の実施例では、ゲート4 4は平行な「ストライプ」形状に形成される。

(8)

特開平8-250731

13

向きの距離(μm単位)を横軸に、ドーパント濃度(c m⁻³単位)の10を底とする対数を縦軸にとっている。基板43SはN-型ドーパントでドープされ、抵抗率が概ね3.0 mΩ·cmとなるようにされる。N-型ドーパントの濃度は、ドリフト領域43Dにおいては、 $5 \times 10^{11} \sim 5 \times 10^{12}$ c m⁻³(例えば 6×10^{11} c m⁻³)に、高抵抗率領域43HRにおいては、 $3 \times 10^{11} \sim 3 \times 10^{12}$ c m⁻³(例えば 3×10^{11} c m⁻³)に低下する。ドリフト領域43D及び高抵抗率領域43HRにおけるドーパント濃度がそれぞれ 6×10^{11} 、 3×10^{11} c m⁻³であることによって、N-チャネルのための抵抗率がそれなりに、8 mΩ·cm、1.5 mΩ·cmとなる。高抵抗率領域43HRのドーパント濃度は、デルタ層43LRのそれよりも低いものであるべきである。

【0033】ゲート44は濃度 5×10^{12} c m⁻³の隕イオンでドープされ、典型的には面抵抗20Ω/面積となるようにされる。(P-チャネルデバイスにおいては、ゲートはホウ素でドープされる。)トレンチ48の底部は、上側表面より概ね1.6 μm(または1~3 μmの範囲)の深さであり、領域43HRとドリフト領域43Dの境界は、上側表面より概ね2.6 μm(または2~5 μmの範囲)の深さにある。エピタキシャル層47は、概ね5.0 μmの厚みを有する。

【0034】図11に示すのは、図9の5B~5Bに沿ったMOSFET40の断面のドーパント濃度である。基板43S及びドリフト領域43Dにおけるドーパント濃度レベルは図10に示したものと同じである。同様に、領域43HRにおけるN-型ドーパント濃度も 3×10^{11} c m⁻³のままであるが、領域43HRは上側表面から1.2 μm以内の領域まで、もしくはトレンチの底部よりも高い位置まで延在している。P-ボディ42におけるドーパント濃度は、領域43HRとの接合部における 6×10^{11} c m⁻³から、ソース領域41との接合部における約 1×10^{12} c m⁻³まで高められている。ソース領域41におけるN-型ドーパント濃度は、その接合部分における約 1×10^{12} c m⁻³から、構造の上側表面における 2×10^{12} c m⁻³まで上昇している。図10及び図11から、高抵抗率の領域43HRはトレンチ48の底部及び側部の周りに延在し、一般に境界が最大となるトレンチ48のコーナー部分を含む形となっているのは明らかである。

【0035】図12に示すのは、図9の5C~5Cに沿ったMOSFET40の断面のドーパント濃度であっ

14

セルの中央部におけるP-ボディ領域42のすぐ下には、デルタ層43LRがあり、これは図9の実線で示されるように、ドリフト領域43Dの普通の部分まで延在する場合もある。これとは別に領域43HRの一部分はデルタ層43LRをセルの中央部におけるドリフト領域43Dの普通の部分から隔てている。このことは図9において破線で示されており、また、別の実施例に於けるドーパント濃度は図12において破線で示されている。

【0036】デルタ層43LRは、そこでブレイクダウンが発生した場合にゲート酸化領域45を損ない、または破壊する可能性のあるトレンチに隣接した位置でブレイクダウンを発生させるのではなく、セルの中央部の領域においてブレイクダウンが発生するようにするのを確実にするために設けられるものである。更に、デルタ層43LRは低抵抗率の領域であって、領域43HRの高い抵抗率をある程度補償するものである。従って、領域43HRとデルタ層43LRとの組み合わせによって、トレンチを取り囲む比較的高い抵抗率の領域とセル中央部の比較的低い抵抗率の領域とが形成される。

【0037】図13~図22は本発明に基づきMOSFETの製造プロセスを示したものである。

【0038】図13に示すように、プロセスは基板150から開始されるが、この基板150は500 μmの厚みを有し、抵抗率は3 mΩ·cmである。第1のN-エピタキシャル層151及び第2のN-エピタキシャル層152が続けて基板150の上側表面上に成長させられる。第1のN-エピタキシャル層151は、例えば 6×10^{11} c m⁻³の濃度でドープされ、第2のN-エピタキシャル層152は、例えば 3×10^{12} c m⁻³の濃度でドープされる。好ましくは、基板150はエピタキシャル層151及び152の成長過程においてエビ・リアクタ(epi reactor)から除去されないようにしておく。

【0039】別の実施例においては、2つの異なる均一なドーパント濃度を有するエピタキシャル層を成長させるのでなく、エピタキシャル層の少なくとも一部分が成長させられている間にN-型ドーパント濃度を徐々にかつ単調に低減させて、高い抵抗率の領域を形成する。ドーパント濃度は、例えば、基板の濃度から、約 3×10^{11} c m⁻³である表面近傍(例えば約3 μmの深さ)の濃度まで徐々に低減させることができる。このようなドーパント濃度の低減は、複数のもしくは他の関数に基づいて実施され得る。

【0040】次に、960°C~1100°Cの酵素流の中

(9)

15

シリコンゲートのバスの接続に使用するための領域が残される。

【0042】図15に示すように、酸化層154は、汚染を防止するべく400Åの厚みに成長させられ、次にトレンチ領域がフォトレジストによってパターニングされる。次に、トレンチがエッチングされて適当な深さを有するようにされ、トレンチの底部の下の第2のN-エビタキシャル層152の厚みが所望の厚みとなるようになる。

【0043】図16に示すように、統いて、酸化層154及びフォトレジストが除去される。次に、ゲート酸化層155がトレンチの上側表面も含む構造の上側表面上に成長させられる。ゲート酸化層155はTCA(トリクロロエチレン)のような塩化物を含んだ乾燥した酸素の中で成長させられる。ゲート酸化層の厚みは80~2000Åの範囲とされる。

【0044】図17に示すように、ポリシリコンゲート156は被覆されて、トレンチが埋められる。このプロセスは好ましくは、化学気相成長プロセスを用いて行われる。次にポリシリコンゲート156はエッチングされて、平坦な表面に戻される。チップはマスクされ、ポリシリコンゲート156は、トレンチから露出されておりゲートコンタクトを形成している領域を保護する。ポリシリコンゲート156は溝でドープされ、面抵抗が20Ω/面積となるようになる。このドーピングはエッチバックの前後に行われる。1つの方法によれば、トレンチがエッチングされる前に、ポリシリコンゲート156をPOCl₃で「ブリデッピング(preepping)」することによってドーピングがなされる。別の実施例においては、ゲートが、その形成過程においてin situでドーピングされる。

【0045】図18に示すように、P-ボディ157は、37~150KeVのエネルギーで $5 \times 10^{11} \text{ cm}^{-2}$ の硼素イオンを、プランケット注入によりゲート酸化層155を通して注入される。次に、P-ボディ157は窒素雰囲気の中で1~6時間900~1100°Cで加熱することによって1.2μmにされる。これとは別に、マスクを用いてP-ボディ注入をデバイスのアクティブ領域に制限することもできる。

【0046】図19に示すように、酸化層155の上側表面はマスクされて、ソース領域158は40~80KeVのエネルギーで $4 \times 10^{11} \sim 1 \times 10^{12} \text{ cm}^{-2}$ の注入がなされる。ソース領域158は15~60分間90

特開平8-250731

16

で注入がなされる。Nデルタ層160は60~150KeVのエネルギーで $1 \times 10^{11} \sim 5 \times 10^{11} \text{ cm}^{-2}$ の堿イオンを注入される。

【0048】図21に示すように、P+コンタクト領域161に同じマスクを通しての注入が行われるが、これは20~80KeVエネルギーで $8 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ のホウ素イオンを用いて行われる。次に、構造は15~30分間900~1100°Cの熱処理を受ける。このプロセスによってNデルタ層160が活性化され、BPSG層159がフローされる。

【0049】図22に示すように、金属層162がスピッタリングによって1~4μmの厚みで被覆される。金属層162は好ましくは2%の銅及び2%のシリコンを有するアルミニウムである。金属層162は、適当にエッチングされて、構造体はSi,N_xもしくはBPSGの不活性化層(図示せず)で覆われることになる。

【0050】上記のプロセスにおいて、コンタクトマスクはNデルタ層160及びP+コンタクト領域161の注入に於けるマスクとして使用される。別の実施例では、Nデルタ層160及びP+コンタクト領域161はそれぞれ各領域のマスクを通して注入がなされる。また、注入の実施順序を変えることもできる。例えば、Nデルタ層160の注入は、P-ボディ157の注入(図18)の後で、かつソース領域158の注入の直ぐ前に行うようにすることもできる。

【0051】デルタ層の注入はP-ボディ領域の注入及び拡散の前に行われる。これが完了すると、デルタ層は、ボディドライイン拡散の間に拡散し、下側境界面の深さが深まり、構幅が拡がる。デルタ層が構向きにトレンチに至るまで延在しない場合は、処理に際してその寸法がそれなりに小さくなるように考慮しなければならない。

【0052】前述のように、デルタ層はP-ボディの形成に前後して、もしくはソース領域の形成に前後して導入される。デルタ層、P-ボディ及びソースの形成順序に関わりなく、トレンチエッチング及びゲートの形成はすべての注入処理が終了した後に行われる。例えば、P-ボディ、ソース、浅いP+及びデルタ層がトレンチエッチングの前に形成され、その後トレンチ、ゲート酸化及びゲートが形成され得る。別の実施例では、トレンチのエッチングがソース拡散の後で、かつデルタ層注入の前に行われる。これらのプロセスステップの順序を変えることによってMOSFETの基本的な構造は変わらない。

40 【0053】図23に示すように、トレンチエッチングの後にトレンチの側壁に露出するP-ボディ157と、トレンチの底面に露出するNデルタ層160が、トレンチエッチングの前に形成されたP-ボディ157とNデルタ層160によって遮蔽される。トレンチエッチングの後に露出するP-ボディ157とNデルタ層160は、トレンチエッチングの前に形成されたP-ボディ157とNデルタ層160によって遮蔽される。

(10)

特開平8-250731

17

【0054】図23に示すのは、横軸を基板とエピタキシャル層との境界面からの距離、縦軸をエピタキシャル層の成長時におけるドーパント濃度として示した。あり得べき状態である。実線は図13に示す実施例の「ステップ関数」の場合を表し、破線は上述のドーパント濃度を徐々に減らした場合を表している。斜線部は、エピタキシャル層の成長時にドーパント「パルス」を与えることによって形成されたデルタ層を表している。

【0055】デルタ層は、それが注入によって形成されたものであれ、エピタキシャル層の成長時に形成されたものであれ、ウエハ表面に横向きに延在しているが、ゲートトレンチが割り込んでいる部分には延在していない。このことは図26及び図27において、例えば、デルタ層184がチップ上の隣接するMOSFETセル間に延在している部分において示されている。

【0056】これとは別に、図4及び図5～図7に示すように、中央のP+領域は、デルタ層43LPによって置き換えられるか、もしくはデルタ層を含む形としても良い。他の実施例においては、デルタ層43LP及び中央のP+領域が省略される。図24に示すのは、デルタ層181及び比較的深い中央P+領域に接している高い抵抗率の領域180を含む実施例である。図26の実施例は、図24の実施例と概ね同様であるが、中央P+領域183が図24のものに比べて浅い点で異なっている。図26及び図27において、デルタ層184はトレンチの側壁に至るまで延在している。図26は深い中央P+領域182を有し、図27においてはより浅いP+領域183が含まれている。

【0057】本発明に基づき構成されたMOSFETの性能を検査すべく、いくつかのシミュレーションテストを2次元デバイスシミュレータMed：c（登録商標）を使用して行った。はじめに分析したデバイスは、図5に示すようなセル幅9μm（例えばゲートの中央部からセルの中央部までの距離が4.5μm）のMOSFET300である従来の60Vデバイスである。ゲート-ソース電圧 V_{gs} =10V、ドレイン-ソース電圧 V_{ds} =0.1Vとすると、単位チャネル幅あたりのドレイン電流 I_d は $2.0 \times 10^{-6} A/\mu m$ である。同じ V_{gs} 及び V_{ds} として、同様に7μmセルMOSFETを分析すると、 I_d/W で示される、単位幅あたりのドレイン電流は $2.1 \times 10^{-6} A/\mu m$ である。（ここで I_d/W はゲートの裏面と平行して測定された単位幅あたりの電流である。従ってセル幅Y...及びゲート幅Gを有す

イスは深い中央P+領域（図5参照）を有していた。この構造はP+領域がトレンチのエッジに接触してしまうために5μmセルデバイスでは不可能である。上述のように、このことによって不適格な高い閾値電圧が生じ、オン抵抗の著しく高い、ひどく「狭い」ドリフト領域ができることになる。

【0059】このために、本発明に基づく、図9に示した構造の5μmセルデバイスがテストされた。 $V_{gs}=10V$ 、 $V_{ds}=0.1V$ とすると、ドレイン電流 I_d/W は $1.8 \times 10^{-6} A/\mu m$ に等しくなる。また、5μmセルデバイスのパッキング密度が高くなるために、この電流は7μmセルデバイスの場合と較べて単位面積あたりのオン抵抗が20%減少し、これは、9μmセルデバイスと比較してオン抵抗が40%減少したことと相当する。

【0060】図28に示すのは、本発明に基づく5μmセルデバイスにおける電流の分布である。P-ボディ領域42及びゲート44の位置が図28に示されている。図29に示すのは、分析された9μmセルデバイスにおける電流分布である。図28及び図29における電流溝路を示す線の間の空間は、そこに全電流に対する同程度のパーセンテージの電流が分布していることを表している。図28及び図29を比較すると、本発明に基づいて製造されたMOSFETが、より均一な電流分布を有していることが分かる。均一な電流分布のデバイスのオン抵抗は減る傾向がある。

【0061】5μmセルデバイスのブレイクダウン電圧を分析して、9μmセルデバイスのブレイクダウン電圧と比較した。ここで再び、二次元デバイスシミュレータMed：c（登録商標）が用いられる。図30及び図31に示すのは $V_{ds}=60V$ でオフ状態にされた9μmセルデバイスの等ポテンシャル線及び電界分布（electric field contours）である。図31を参照すると、トレンチの底部の中央（点A）及びトレンチのコーナー（点B）における電界はそれぞれ $26V/\mu m$ 及び $36.2V/\mu m$ である。

【0062】5μmセルデバイスに対する等ポテンシャル線及び電界分布は図32及び図33にそれぞれ示されている。点A及び点Bにおける電界がそれぞれ $29.1V/\mu m$ 、 $35.8V/\mu m$ であることは重要である。9μmセルデバイスの対応する値を比較すると、5μmセルデバイスのブレイクダウン電圧は概ね等しいことが分かる。

(11)

特開平8-250731

19

分値り、73が求められる。ここで、これらのデータは、これらの2つのMOSFETのブレイクダウン電圧が近いものであることを意味している。

【0064】従って、図30、図31、図32、図33、図34、及び図35に示すデータが示すのは、本発明に基づいて製造された $5\text{ }\mu\text{m}$ セルデバイスが従来の $9\text{ }\mu\text{m}$ セルデバイスのブレイクダウン特性とほぼ同様の特性を有し、従って上記の改善されたオン抵抗はブレイクダウン電圧を低下させるという犠牲の下に達成されたものではないということである。

【0065】上記の実施例は、一般的にドレイン及びドレインコンタクト領域を形成する基板がチップの底面に配置されるバーチカルトレンチMOSFETの実施例である。本発明の原理は、ドレインコンタクト領域がチップの上側表面上に形成される、いわゆる「準バーチカル(quasi-vertical)」MOSFETにも適用可能である。図36に示すのは図25に示すMOSFETに似た準バーチカルMOSFETであって、これはドリフト領域312、高い抵抗率の領域314及びデルタ層316を有する。しかしながら、ドレインは埋込層318によって形成され、この埋込層はP基板320とドリフト領域312との境界面に配置される。チップ上側表面上のドレインコンタクト306はシンカー304によって埋込層318と結びつけられている。

【0066】上記の実施例はN-チャネルMOSFETに関するものであるが、本発明の原理がP-チャネルMOSFETにも適用可能であることは明らかであろう。

【0067】上述した特定の実施例は本発明の考え方を説明するためのものであり、本発明が上述の実施例に限られるものではない。

【0068】

【発明の効果】以上より、本発明に基づき、ブレイクダウン電圧を高く維持したまま、電流分布の拡大によってオン抵抗を低く改善したバーチカルトレンチ型MOSFETが提供される。

【図面の簡単な説明】

【図1】従来のプレナー型の二重拡散MOSFETの断面図である。

【図2】比較的浅いP+コンタクト領域を有する典型的なバーチカルトレンチ型N-チャネルMOSFETのセルの断面図である。

【図3】比較的浅いP+コンタクト領域を有する典型的なバーチカルトレンチ型N-チャネルMOSFETのセ

20

の下側の位置まで延びているものが示されている。

【図6】図5に示すN-チャネルMOSFETの断面斜視図である。

【図7】図6と同形のP-チャネルMOSFETの断面斜視図である。

【図8】ゲート金属コンタクト部分がデバイスの上側表面に形成されているのを示す断面図である。

【図9】本発明に基づくMOSFETの断面図である。

【図10】図9に示すMOSFETのゲートに沿った断面のドーパント濃度を示したグラフである。

【図11】図9に示すMOSFETのチャネルの近傍に於ける断面のドーパント濃度を示したグラフである。

【図12】図9に示すMOSFETのセルの中央部に於ける断面のドーパント濃度を示したグラフである。

【図13】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図14】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図15】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図16】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図17】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図18】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図19】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図20】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図21】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段階を示したものである。

【図22】図13～図22において順に示された本発明に基づくMOSFETの製造プロセスの中の、1つの段

(12)

特開平8-250731

21

22

【図26】トレンチの側壁に延びるデルタ層を有するMOSFETの断面図である。

【図27】トレンチの側壁に延びるデルタ層を有するMOSFETの断面図である。

【図28】本発明に基づく5μmセルMOSFETに於ける電流分布を示したものである。

【図29】従来の9μmセルMOSFETの電流分布を示したものである。

【図30】9μmセルMOSFETに於ける等ポテンシャル線を示したものである。

【図31】9μmセルMOSFETに於ける電界分布を示したものである。

【図32】本発明に基づく5μmセルMOSFETに於ける等ポテンシャル線を示したものである。

【図33】本発明に基づく5μmセルMOSFETに於ける電界分布を示したものである。

【図34】従来の9μmセルMOSFETのイオン化率を示したものである。

【図35】本発明に基づく5μmセルMOSFETのイオン化率を示したものである。

【図36】準バーチカルMOSFETの実施例の断面図である。

【符号の説明】

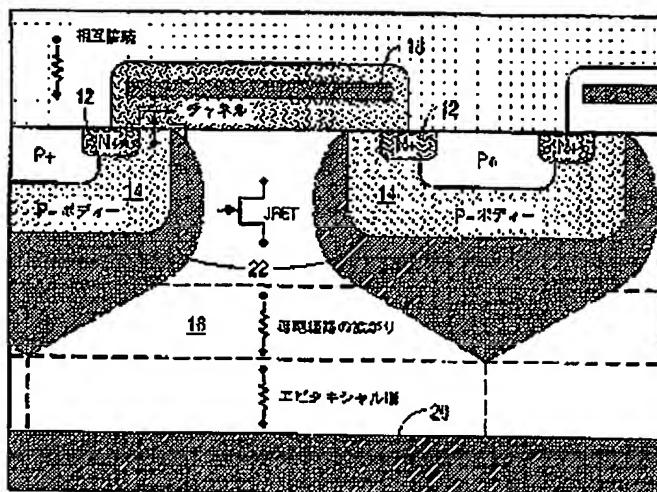
- 12 ソース領域
- 14 P-ボディ領域
- 16 N-エピタキシャル層
- 18 ゲート
- 20 基板
- 22 空乏層
- 40 MOSFET
- 41 N+ソース領域
- 42 P-ボディ領域
- 43 Nドレイン領域
- 43D ドリフト領域
- 43S N+基板
- 43HR 高い抵抗率の領域
- 43LR 中央デルタ層
- 44 ゲート
- 45 酸化層
- 46 P+コンタクト領域
- 46M 金属コンタクト
- 47 エピタキシャル層
- 48 トレンチ

100	MOSFETセル
102	ゲート
104	ゲート
106	ゲート酸化層
108	ゲート酸化層
110	N-エピタキシャル層
111	ドリフト領域
112	N+ソース領域
114	P+コンタクト領域
10	116 P-ボディ領域
117	酸化層
118	ソースコンタクト
120	基板
121	ゲート金属領域
122	(トレンチの)コーナー部分
150	基板
151	(第1の)N-エピタキシャル層
152	(第2の)N-エピタキシャル層
153	フィールド酸化層
20	154 酸化層
155	ゲート酸化層
156	ポリシリコンゲート
157	P-ボディ領域
158	ソース領域
159	ホウ素隕硅酸ガラス(BPSG)層
160	Nデルタ層
161	P+コンタクト領域
162	金属層
180	高い抵抗率の領域
30	181 デルタ層
182	中央P+領域
183	中央P+領域
184	デルタ層
200	MOSFETセル
300	MOSFETセル
302	(P+コンタクトの)下端部
304	N+シンカー領域
306	ドレインコンタクト
312	ドリフト領域
40	314 高い抵抗率の領域
316	デルタ層
318	N埋込層
380	P基板

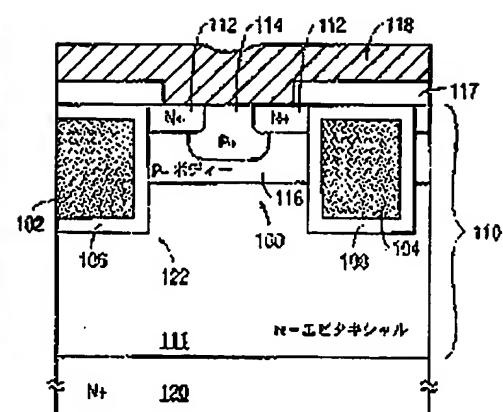
(13)

特開平8-250731

【図1】

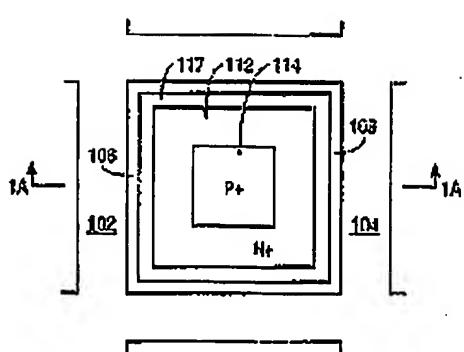


【図2】

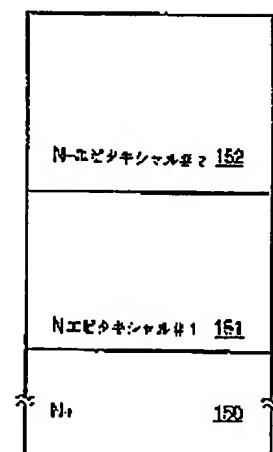
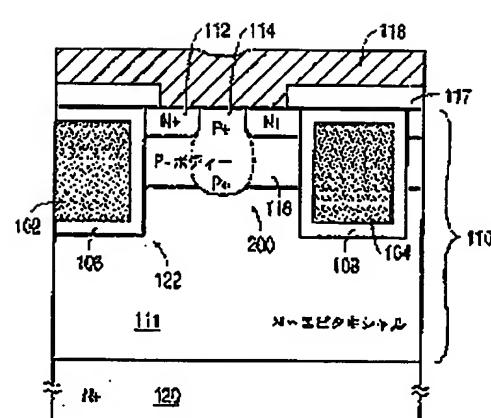


【図14】

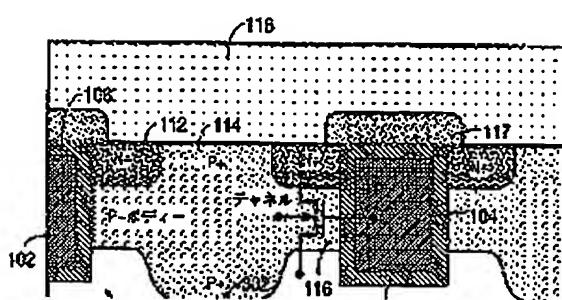
【図3】



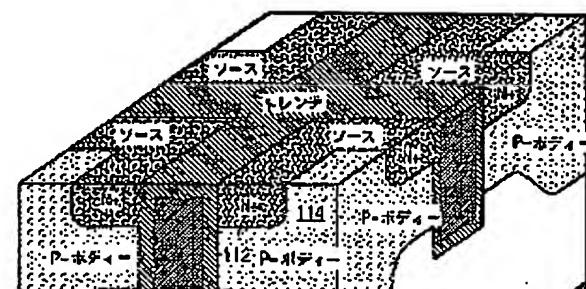
【図4】



【図5】



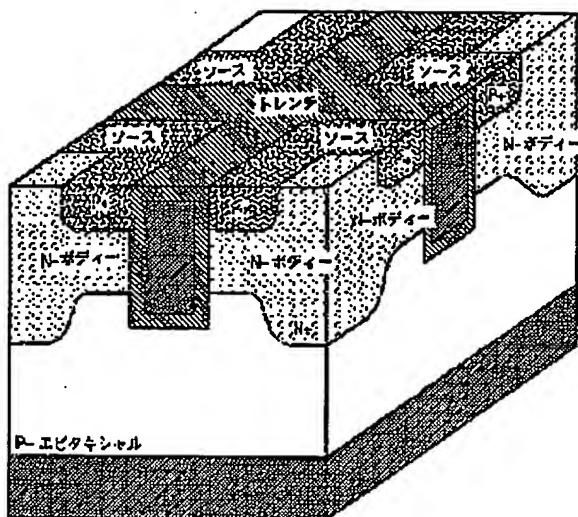
【図6】



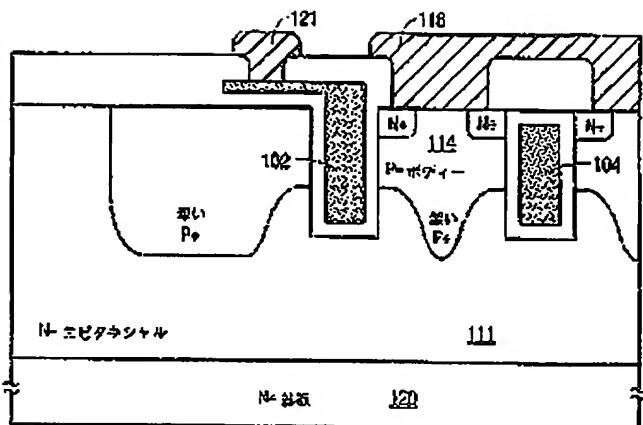
(14)

特開平8-250731

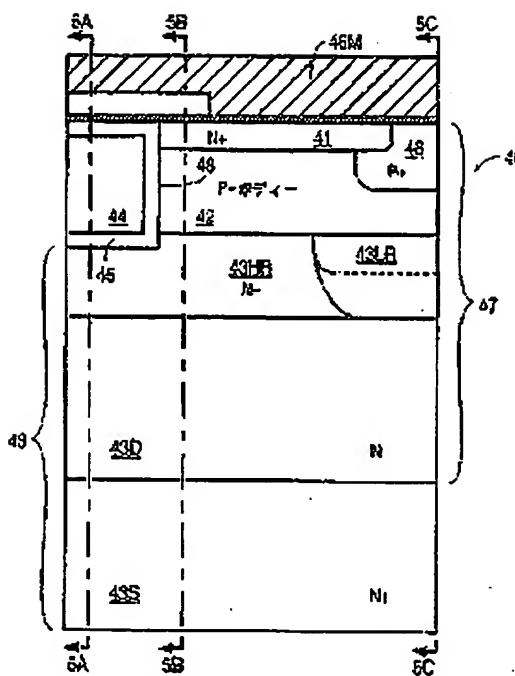
[圖7]



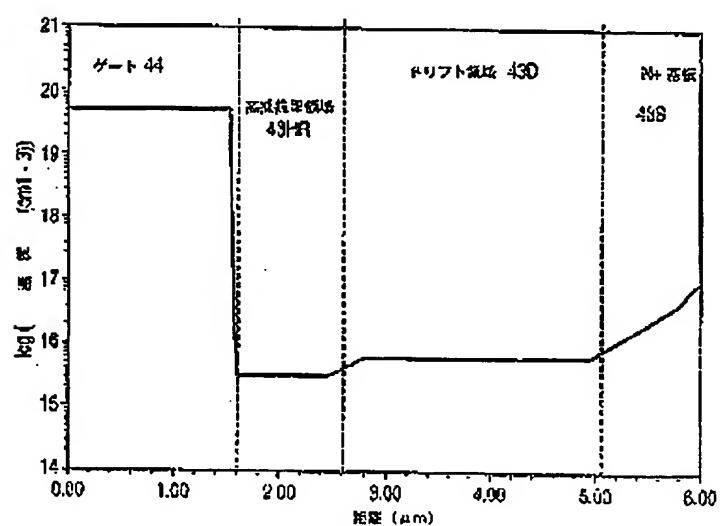
[圖 8]



[图9]



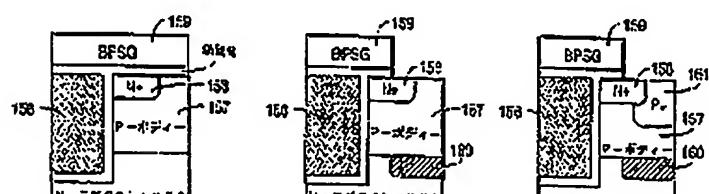
[图19]



[19]

[图20]

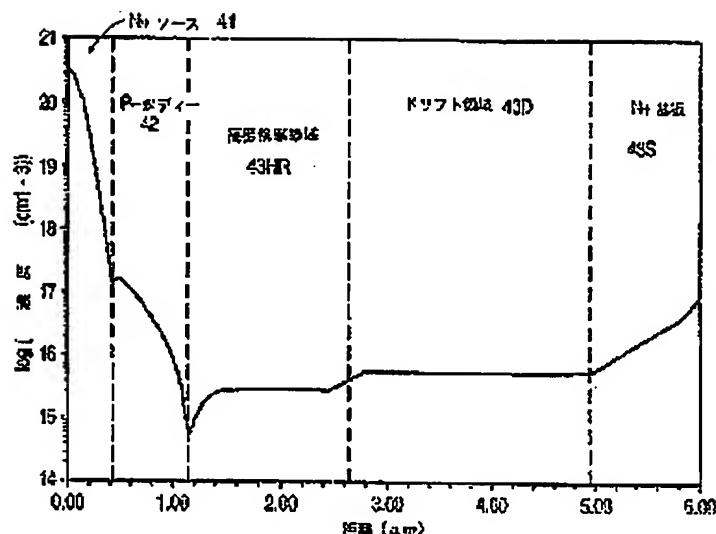
[图21]



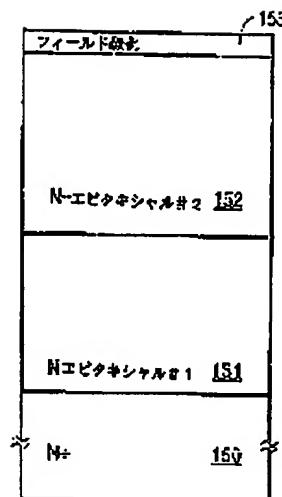
(15)

特開平8-250731

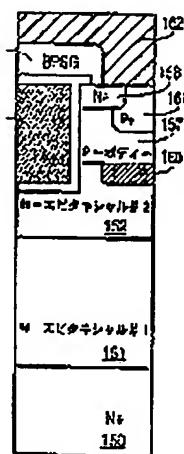
【図11】



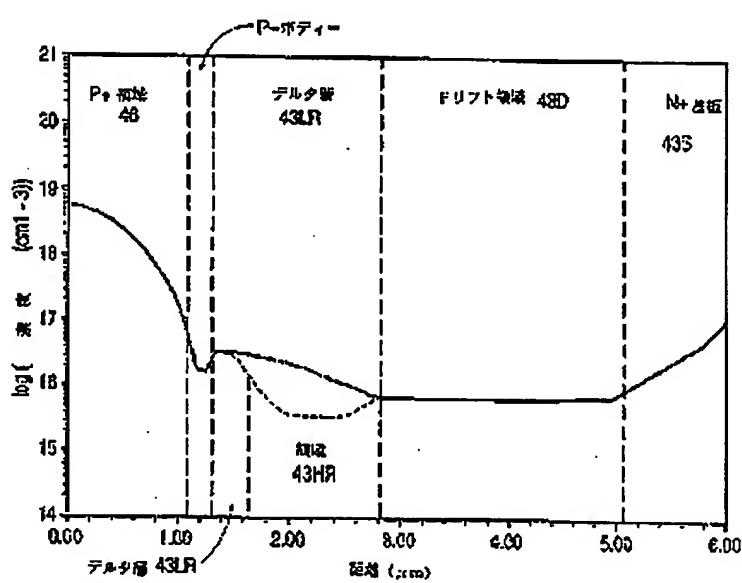
【図13】



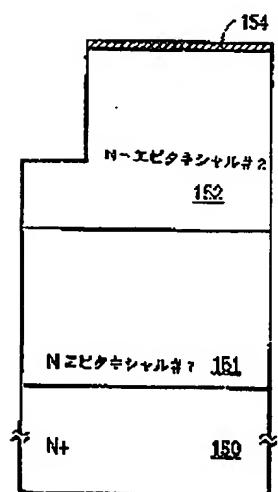
【図22】



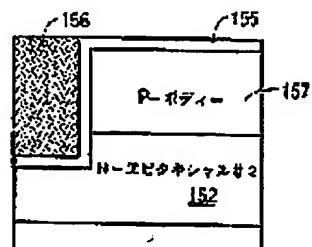
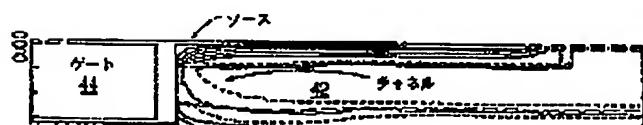
【図12】



【図15】



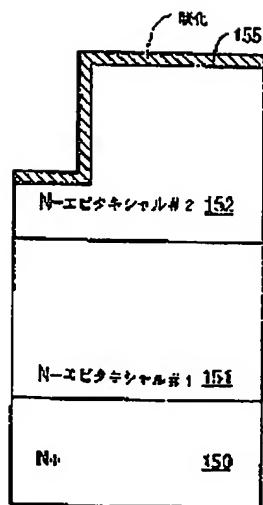
【図18】



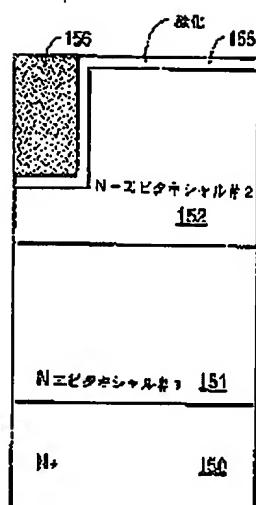
(16)

特開平8-250731

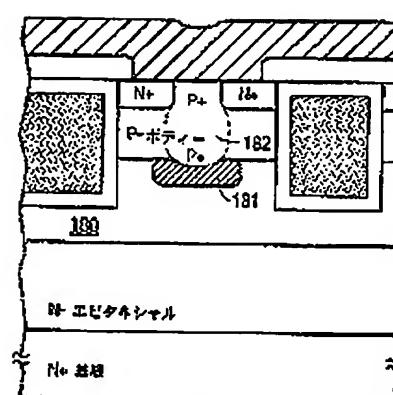
【図16】



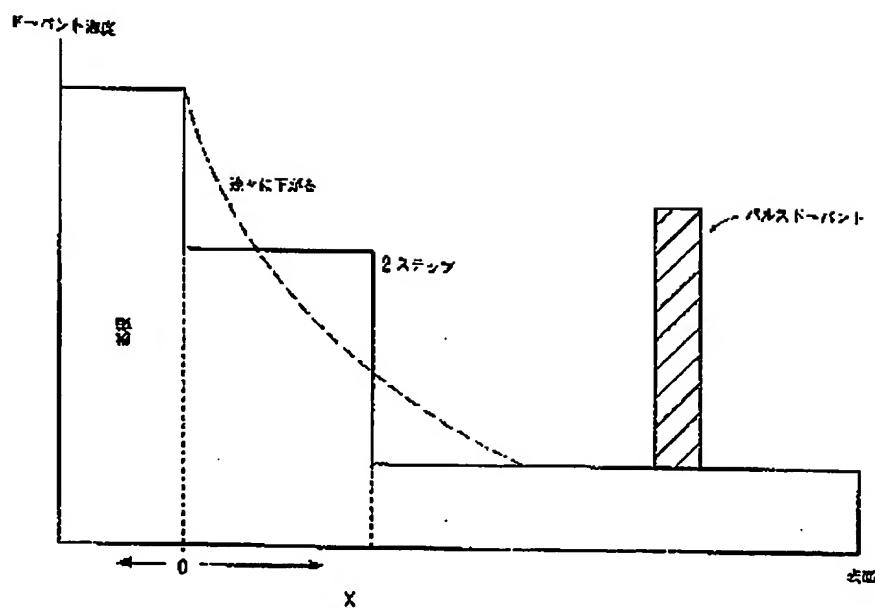
【図17】



【図24】



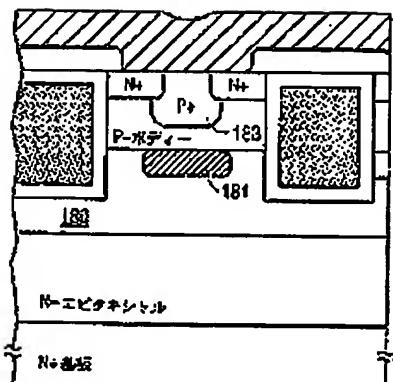
【図23】



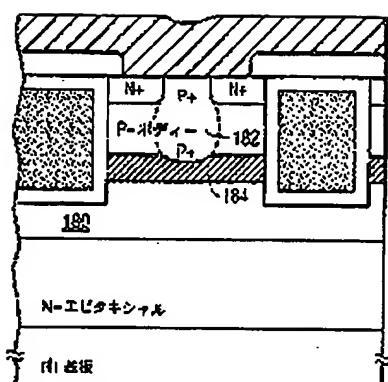
(17)

特開平8-250731

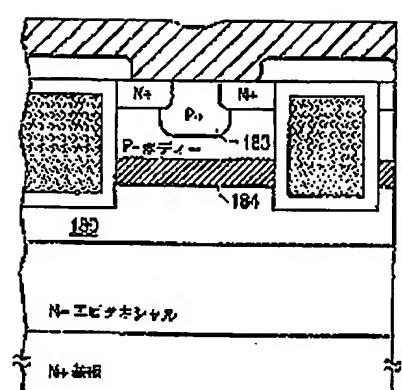
【図25】



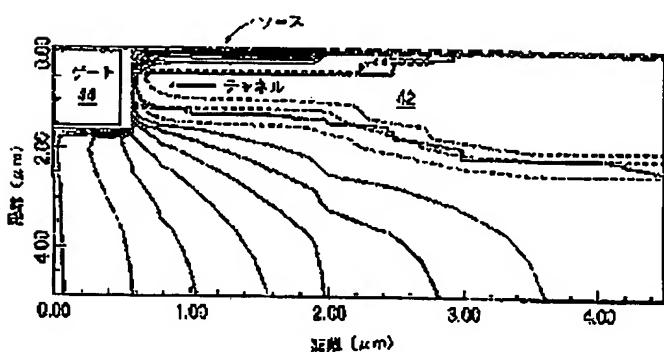
【図26】



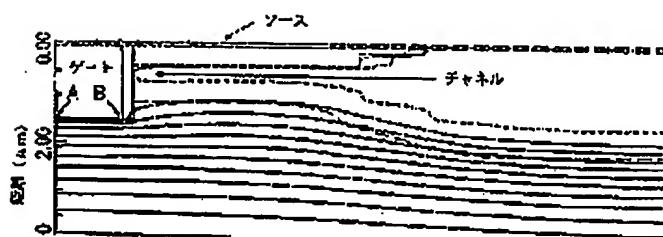
【図27】



【図29】



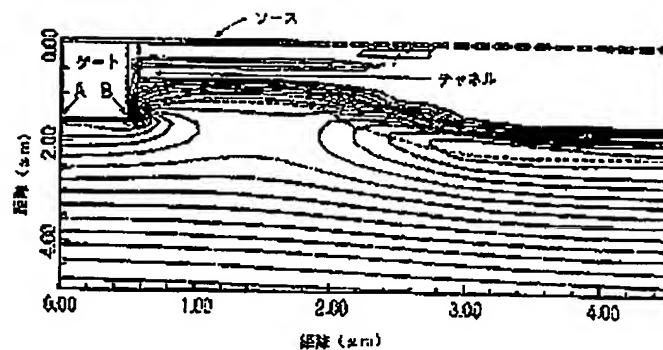
【図30】



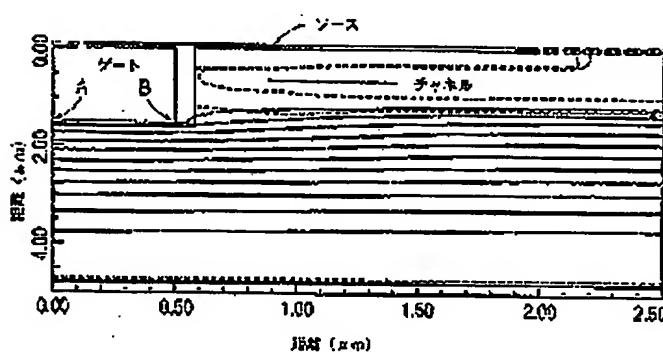
(18)

特開平8-250731

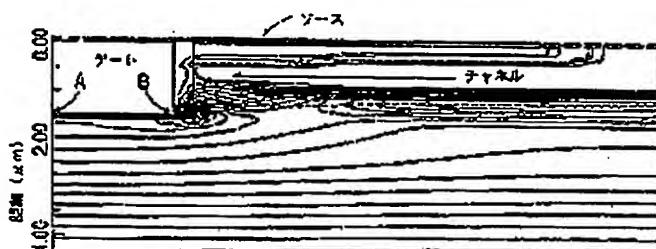
【図31】



【図32】



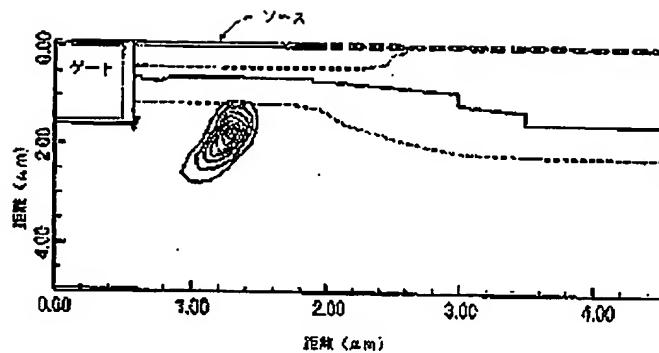
【図33】



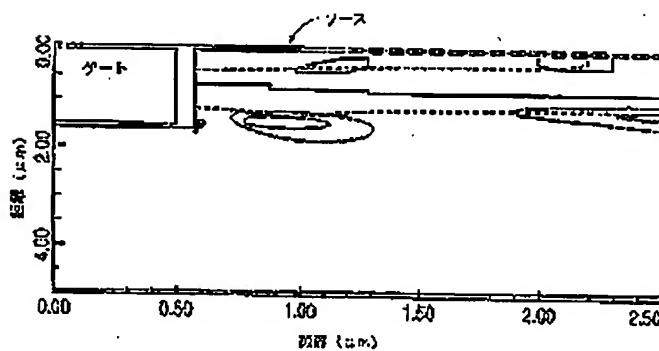
(19)

特開平8-250731

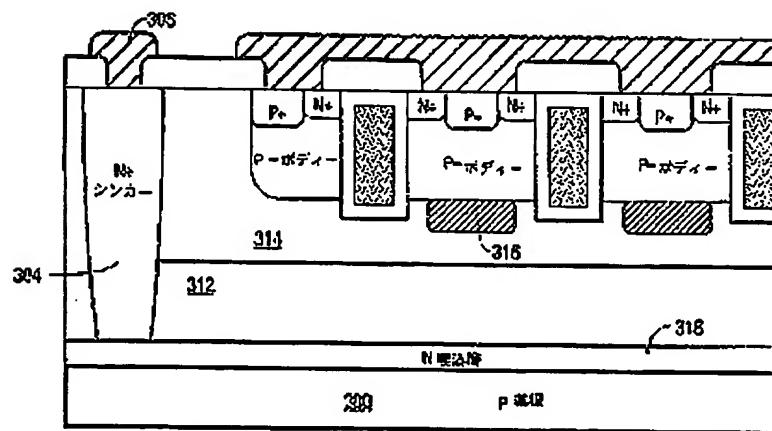
【図34】



【図35】



【図36】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250731

(43)Date of publication of application : 27.09.1996

(51)Int.Cl. H01L 29/78

(21)Application number : 07-351586

(71)Applicant : SILICONIX INC

(22)Date of filing : 26.12.1995

(72)Inventor : DARWISH MOHAMED N
WILLIAMS RICHARD K

(30)Priority

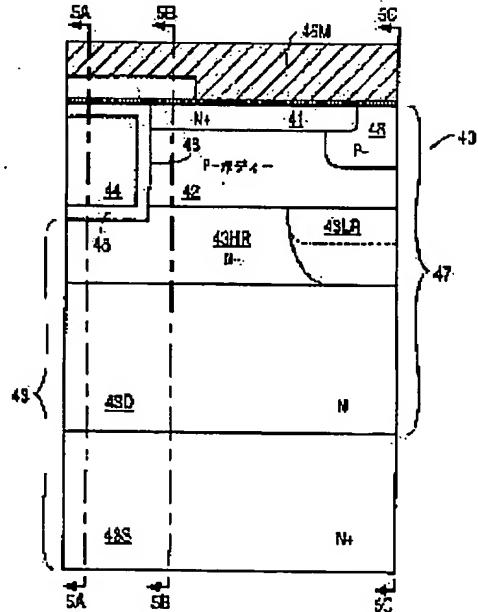
Priority number : 94 367516 Priority date : 30.12.1994 Priority country : US

(54) TRENCH MOSFET PROVIDED WITH BOTH HIGH BREAKDOWN VOLTAGE AND LOW ON-RESISTANCE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a vertical trench type MOSFET, which realizes a low ON-resistance, while maintaining high a breakdown voltage.

SOLUTION: A vertical-trench type MOSFET has a gate formed in a trench 48. A switching MOSFET 40 has a drain, which has a comparatively high-resistivity region adjacent to the trench 48 and a comparatively low-resistivity region provided at a place, where it is part from the trench 48. The drain includes also a delta layer having a resistivity lower than that of a delta layer in the central region of a cell of the MOSFET. By the high-resistivity region, a field strength in the edge parts (especially, the corner parts) of the trench 48 is limited and a gate oxide layer is avoided from being impaired. By the delta layer in the central part of the cell, the generation of a breakdown voltage is generated so as to concentrate on the vicinity of the central part, which is apart from the gate oxide layer, of the cell of the MOSFET. When the MOSFET 40 is at an on-state, an effect of lowering the resistivity of the MOSFET 40 is obtained.



LEGAL STATUS

[Date of request for examination] 14.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office